

0251509

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月 7日

出 願 番 号

Application Number:

特願2003-103043

[ST.10/C]:

[JP2003-103043]

出 願 人

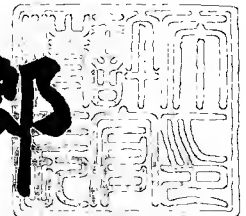
Applicant(s):

株式会社東芝

2003年 5月 6日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3032551

【書類名】 特許願

【整理番号】 A000206111

【提出日】 平成15年 4月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横  
浜事業所内

    【氏名】 稗田 克彦

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100091351

    【弁理士】

    【氏名又は名称】 河野 哲

【選任した代理人】

    【識別番号】 100088683

    【弁理士】

    【氏名又は名称】 中村 誠

【選任した代理人】

    【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 の方向に延伸したビット線と、  
前記ビット線に電氣的に接続された複数のトランジスタと、  
前記第 1 の方向に配列し、前記複数のトランジスタに電氣的に接続された複数の第 1 の電極と、  
前記複数の第 1 の電極の上面及び側面を覆う誘電体膜と、  
前記誘電体膜を覆う第 2 の電極と、  
を備えた半導体装置であって、  
前記第 1 の電極の幅は、隣接した前記第 1 の電極間の距離よりも小さく且つ前記半導体装置のデザインルールの最小値よりも小さいことを特徴とする半導体装置。

【請求項 2】 前記第 1 の方向に平行な線と前記第 1 の電極の長手方向に平行な線とによって規定される角度は、0 度よりも大きく且つ 9 0 度よりも小さいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記角度は 4 5 度である  
ことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記デザインルールの最小値は、前記ビット線の最小幅に対応する  
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記第 1 の電極の幅は、リソグラフィプロセスで決まる最小幅よりも小さい  
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 前記第 1 の電極の幅は、前記第 1 の電極の高さよりも小さい  
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】 第 1 の方向に延伸したビット線と、前記ビット線に電氣的に接続された複数のトランジスタとを備えた基板上に、第 1 の膜を形成する工程と

前記第 1 の膜をパターニングして、複数の溝を形成する工程と、  
前記複数の溝の側面に第 2 の膜を形成して、前記複数の溝の幅を狭める工程と

前記狭められた複数の溝内に、前記第 1 の方向に配列し且つ前記複数のトランジスタに電氣的に接続された複数の第 1 の電極を形成する工程と、

前記第 1 の膜及び前記第 2 の膜を除去する工程と、

前記複数の第 1 の電極の上面及び側面を覆う誘電体膜を形成する工程と、

前記誘電体膜を覆う第 2 の電極を形成する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項 8】 第 1 の方向に延伸したビット線と、前記ビット線に電氣的に接続された複数のトランジスタとを備えた基板上に、第 1 の膜を形成する工程と

前記第 1 の膜をパターニングして、複数の溝を形成する工程と、

前記複数の溝の側面に導電材料からなる第 2 の膜を形成する工程と、

前記第 1 の膜を除去する工程と、

前記第 2 の膜をパターニングして、前記第 1 の方向に配列し且つ前記複数のトランジスタに電氣的に接続された複数の第 1 の電極を形成する工程と、

前記複数の第 1 の電極の上面及び側面を覆う誘電体膜を形成する工程と、

前記誘電体膜を覆う第 2 の電極を形成する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項 9】 前記溝の側面に第 2 の膜を形成する工程は、異方性エッチングを用いて行われる

ことを特徴とする請求項 7 又は 8 に記載の半導体装置の製造方法。

【請求項 10】 前記第 1 の電極の幅は、隣接した前記第 1 の電極間の距離よりも小さく且つ前記半導体装置のデザインルールの最小値よりも小さい

ことを特徴とする請求項 7 又は 8 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体装置の微細化及び高集積化に伴い、メモリセルの縮小化が進んでいる。しかしながら、メモリセルに含まれるキャパシタのキャパシタンス（蓄積容量： $C_s$ ）は、センス感度やソフトエラー等の観点から、それほど小さくすることはできない。

【0003】

そこで、3次元（3D）構造を有するキャパシタが必要となってきた。この3D構造では、蓄積電極（SN電極）の上面及び側面を覆うように誘電体膜を形成し、さらに誘電体膜を覆うようにプレート電極（PL電極）を形成する。このように、蓄積電極の側面を利用してキャパシタを形成するため、メモリセル面積が小さくなっても、キャパシタンスを大きくすることが可能である。

【0004】

しかしながら、メモリセルの縮小化がさらに進むと、隣接するSN電極間のスペース幅がしだいに狭くなってくるため、SN電極間のスペースに誘電体膜及びPL電極を形成することが困難になるという問題が生じる。一般にSN電極の幅及びSN電極間のスペース幅は、デザインルールによって決まるものであり、メモリセル面積が小さくなると、このような問題は極めて深刻なものとなってくる。

【0005】

従来技術として、特許文献1には、ビット線方向に対して斜めにSN電極を配置するという提案がなされている。このような構成を採用することで、SN電極が長くなる、すなわちSN電極の側面の長さが長くなるため、キャパシタンスを増加させることが可能である。しかしながら、この提案では、SN電極間のスペース幅については何ら考慮されておらず、上述した問題を解決することはできない。

【0006】

【特許文献1】

特開 2 0 0 1 - 1 8 9 4 3 4 号公報

【 0 0 0 7 】

【発明が解決しようとする課題】

上述したように、メモリセル面積が小さくなると、キャパシタンスの減少を抑え、且つ S N 電極間のスペースに誘電体膜及び P L 電極を確実に形成することが困難になってくる。したがって、高信頼性や高性能を有するキャパシタを備えた半導体装置を得ることが困難となる。

【 0 0 0 8 】

本発明は、上記従来の課題に対してなされたものであり、メモリセル面積が小さくなくても、高信頼性や高性能を確保することが可能な半導体装置及びその製造方法を提供することを目的としている。

【 0 0 0 9 】

【課題を解決するための手段】

本発明の第 1 の視点に係る半導体装置は、第 1 の方向に延伸したビット線と、前記ビット線に電氣的に接続された複数のトランジスタと、前記第 1 の方向に配列し、前記複数のトランジスタに電氣的に接続された複数の第 1 の電極と、前記複数の第 1 の電極の上面及び側面を覆う誘電体膜と、前記誘電体膜を覆う第 2 の電極と、を備えた半導体装置であって、前記第 1 の電極の幅は、隣接した前記第 1 の電極間の距離よりも小さく且つ前記半導体装置のデザインルールの最小値よりも小さいことを特徴とする。

【 0 0 1 0 】

本発明の第 2 の視点に係る半導体装置の製造方法は、第 1 の方向に延伸したビット線と、前記ビット線に電氣的に接続された複数のトランジスタとを備えた基板上に、第 1 の膜を形成する工程と、前記第 1 の膜をパターンニングして、複数の溝を形成する工程と、前記複数の溝の側面に第 2 の膜を形成して、前記複数の溝の幅を狭める工程と、前記狭められた複数の溝内に、前記第 1 の方向に配列し且つ前記複数のトランジスタに電氣的に接続された複数の第 1 の電極を形成する工程と、前記第 1 の膜及び前記第 2 の膜を除去する工程と、前記複数の第 1 の電極の上面及び側面を覆う誘電体膜を形成する工程と、前記誘電体膜を覆う第 2 の電

極を形成する工程と、を備えたことを特徴とする。

【0011】

本発明の第3の視点に係る半導体装置の製造方法は、第1の方向に延伸したビット線と、前記ビット線に電氣的に接続された複数のトランジスタとを備えた基板上に、第1の膜を形成する工程と、前記第1の膜をパターンニングして、複数の溝を形成する工程と、前記複数の溝の側面に導電材料からなる第2の膜を形成する工程と、前記第1の膜を除去する工程と、前記第2の膜をパターンニングして、前記第1の方向に配列し且つ前記複数のトランジスタに電氣的に接続された複数の第1の電極を形成する工程と、前記複数の第1の電極の上面及び側面を覆う誘電体膜を形成する工程と、前記誘電体膜を覆う第2の電極を形成する工程と、を備えたことを特徴とする。

【0012】

【発明の実施の形態】

以下、本発明の実施形態を図面を参照して説明する。

【0013】

（第1の実施形態）

図1（a）及び図1（b）は、本発明の第1の実施形態に係る半導体装置（スタック型DARM）における、メモリセル付近の構成を模式的に示した図である。図1（a）は平面図であり、図1（b）は図1（a）のB-Bに沿った断面図である。

【0014】

半導体基板（シリコン基板）1には、素子分離領域2が形成されている。素子分離領域2で囲まれた素子領域20内には、ゲート絶縁膜3、ゲート電極4及びソース／ドレイン拡散層5を有するMISトランジスタが形成されている。ゲート電極4は、ワード線（WL）の一部を構成している。MISトランジスタは層間絶縁膜6で覆われており、層間絶縁膜6上には層間絶縁膜8が形成され、層間絶縁膜8上にはシリコン窒化膜（SiN膜）12が形成されている。

【0015】

層間絶縁膜6内には、ソース／ドレイン拡散層5の一方に接続されたポリシリ



コンプラグ7が形成されている。ポリシリコンプラグ7上にはタングステン(W) プラグ10が形成され、タングステンプラグ10上にはバリア膜11が形成されている。層間絶縁膜8内にはビット線(BL)9が形成されており、ビット線9はビット線コンタクト(BLコンタクト、図示せず)を介してソース/ドレイン拡散層5の他方に接続されている。図1(b)に示したポリシリコンプラグ7、タングステンプラグ10及びバリア膜11は、図1(a)のSNコンタクト21に対応している。

## 【0016】

バリア膜11上には、SN電極(蓄積電極)14が形成されている。このSN電極14は、ビット線9の延伸方向と平行な方向に、互いに離間して配列されている。各SN電極14の上面及び側面は誘電体膜15で覆われており、誘電体膜15はプレート電極16(PL電極)によって覆われている。誘電体膜15及びプレート電極16は、SN電極14を覆う部分の他に、隣接したSN電極14間に形成された部分も有している。SN電極14、誘電体膜15及びプレート電極16で形成された各キャパシタは、層間絶縁膜17によって覆われている。

## 【0017】

本実施形態では、図1(a)に示すように、隣接したSN電極14間の距離(スペース幅S)が、SN電極14の幅Wよりも広がっている。なお、幅WはSN電極14の短辺に対応し、長さLはSN電極14の長辺に対応している。具体的には、SN電極14の幅Wがその半導体デバイスに適用されるデザインルールの最小値よりも狭く、且つスペース幅Sがその半導体デバイスに適用されるデザインルールの最小値よりも広がっている。通常は、ビット線の最小幅がデザインルールの最小値に対応する。また、本実施形態では、ビット線9の延伸方向に対してSN電極14が傾いている。すなわち、ビット線9の延伸方向に平行な線とSN電極14の長手方向に平行な線とによって規定される角度が、0度よりも大きく且つ90度よりも小さくなっている。図に示した例では、上記角度は45度である。さらに、SN電極14の幅Wは、SN電極14の高さHよりも小さくなっている。

## 【0018】

このように、本実施形態では、S N電極間のスペース幅SがS N電極の幅Wよりも広がっているため、メモリセルが縮小化されても、S N電極間のスペースに誘電体膜及びP L電極を確実に形成することができる。また、S N電極がビット線の延伸方向に対して傾いているため、限られた領域内にS N電極を効果的に配置することができる。例えば、傾き角度を45度とした場合には、S N電極の長手方向とビット線の延伸方向とが平行である場合に対して、S N電極の長さLを1.4倍程度にすることができる。したがって、S N電極の側面におけるキャパシタンスを増加させることができる。よって、本実施形態によれば、メモリセルが縮小化されても、キャパシタの高信頼性や高性能を確保することが可能となる。

## 【0019】

以下、図1(a)及び図1(b)に示した半導体装置の製造工程について、図2(a)及び図2(b)～図4(a)及び図4(b)を参照して説明する。なお、ここではデザインルール70nm世代を例に説明するが、その他の世代についても同様である。また、ここではメモリセルにNチャネルM I Sトランジスタを用いた場合について説明するが、PチャネルM I Sトランジスタを用いた場合も同様である。

## 【0020】

まず、図2(a)及び図2(b)に示すように、反応性イオンエッチング(R I E)を用いて、シリコン基板1に溝を形成する。溝の深さは、例えば0.3 $\mu$ m程度である。さらに、この溝を絶縁膜で埋めて、S T I (Shallow Trench Isolation) 領域2を形成する。

## 【0021】

次に、シリコン基板1上に、ゲート絶縁膜3として厚さ5nm程度のシリコン酸化膜を形成する。続いて、このゲート絶縁膜上にゲート電極4を形成するための電極膜を形成する。さらに、電極膜上にエッチングストッパーとして機能するゲートキャップ膜(図示せず)を形成する。ゲートキャップ膜にはシリコン窒化膜(S i<sub>3</sub>N<sub>4</sub>膜)を用いることができる。その後、ゲートキャップ膜上にレジストパターン(図示せず)を形成し、このレジストパターンをマスクに用いて、

ゲートキャップ膜をエッチングする。さらに、このゲートキャップ膜をマスクとして、電極膜をエッチングし、ゲート電極4を形成する。このゲート電極4は、メモリセル領域ではワード線(WL)となる。なお、ゲート電極4には、抵抗を下げるために、ポリサイド構造を用いることが可能である。ポリサイド構造としては、例えばポリシリコン膜(厚さ50nm程度)と $WSi_2$ 膜(厚さ50nm程度)の積層膜を用いることができる。また、ポリメタル構造(例えば、ポリシリコン膜とタンゲステン膜の積層膜)を用いてもよい。さらに、ゲート電極4として単独のポリシリコン膜を用いてもよい。

## 【0022】

次に、ゲート電極と不純物拡散層との間の耐圧を向上させるために、酸素雰囲気、1050℃、100秒程度、RTO(Rapid Thermal Oxidation)を行い、いわゆる後酸化膜(図示せず)を形成する。その後、レジストパターン(図示せず)及びゲート電極4をマスクとして、低不純物濃度のソース/ドレイン拡散層5を、イオン注入法によって形成する。続いて、全面にシリコン窒化膜(厚さ20nm程度、図示せず)を、LP-CVD法により堆積する。その後、RIE法によってシリコン窒化膜のエッチングを行い、ゲート電極4の側壁に側壁スペーサ膜(図示せず)を形成する。続いて、レジストマスク、側壁スペーサ膜及びゲート電極4をマスクとして、イオン注入法により、高不純物濃度のソース/ドレイン拡散層を形成する。

## 【0023】

次に、全面に、ストッパー膜としてシリコン窒化膜(厚さ20nm程度、図示せず)を、LP-CVD法によって堆積する。さらに、CVD法により、全面に層間絶縁膜6としてBP SG膜を厚さ500nm程度堆積する。続いて、層間絶縁膜6の表面をCMP法によって平坦化する。このとき、ゲートキャップ膜上の層間絶縁膜6の膜厚が100nm程度になるようにする。このCMP処理により、ウエハのほぼ全面が平坦化される。

## 【0024】

次に、ソース/ドレイン拡散層5とビット線との間の接続、及びソース/ドレイン拡散層5とSN電極との間の接続を行うために、自己整合プロセスを用いて

層間絶縁膜 6 にコンタクトホールを形成する。コンタクトホールのエッチングには、B P S G 膜のエッチングレートがシリコン窒化膜（ストッパー膜）のエッチングレートの 1 0 倍程度以上となるような、高選択比 R I E 法を用いる。これにより、ゲート電極 4 とコンタクトホール内に形成されるポリシリコンプラグ 7 とのショートを防ぐことができ、製品の歩留まりを向上させることができる。

## 【 0 0 2 5 】

次に、不純物としてリン（P）又は砒素（As）がドーピングされたポリシリコン膜（ $n^+$  ポリシリコン膜）を、L P - C V D 法によって全面に堆積する。このポリシリコン膜によってコンタクトホールが埋められる。さらに、CMP 法やエッチバック法により、コンタクトホール以外のポリシリコン膜を除去して、ポリシリコンプラグ 7 を形成する。このポリシリコンプラグ 7 は、ソース／ドレイン拡散層 5 に接続され、S N コンタクト及び B L コンタクトとなる。

## 【 0 0 2 6 】

次に、層間絶縁膜 8 として B P S G 膜を、C V D 法により厚さ 3 0 0 nm 程度、全面に堆積する。さらに、層間絶縁膜 8 上に、CMP のエッチングストッパーとして T E O S 酸化膜（厚さ 1 0 0 nm 程度、図示せず）を、C V D 法によって堆積する。続いて、デュアルダマシン法を用いて、以下のように、ビット線 9 を形成する。まず、B P S G 膜 8 及び T E O S 酸化膜に、ビット線用の溝を形成する。続いて、B L コンタクト用のポリシリコンプラグに達するコンタクトホール（図示せず）を形成する。さらに、導電膜（例えば、W 膜 / T i N 膜 / T i 膜の積層膜）を溝及びコンタクトホール内に埋め込むことにより、ポリシリコンプラグに接続されたビット線 9 を形成する。

## 【 0 0 2 7 】

次に、溝内に埋め込まれた導電膜（W 膜等）を、1 0 0 nm 程度エッチングする。続いて、全面にシリコン窒化膜（図示せず）を厚さ 3 0 0 nm 程度堆積する。さらに、CMP 法や C D E (Chemical Dry Etching) 法により余分なシリコン窒化膜を除去し、ビット線となる導電膜上にのみシリコン窒化膜を残す。

## 【 0 0 2 8 】

なお、W 膜等の導電膜を形成する前に、周辺回路領域にも溝及びコンタクトホ

ールを形成しておいてもよい。これにより、ビット線を形成する際に同時に、周辺回路領域にコンタクトプラグ（図示せず）を形成することができる。

## 【 0 0 2 9 】

次に、通常のリソグラフィ法と R I E 法を用いて、B P S G 膜 8 及び T E O S 酸化膜に、ポリシリコンプラグ 7（S N プラグ）に達するコンタクトホールを形成する。続いて、導電膜（例えば、W 膜 / T i N 膜 / T i 膜の積層膜）を全面に堆積し、コンタクトホールを導電膜で埋める。さらに、CMP 法などにより層間絶縁膜上の余分な導電膜を除去して、コンタクトホール内にのみ導電膜を残す。これにより、導電膜（W 膜 / T i N 膜 / T i 膜の積層膜）で形成されたプラグ（以下、単に W プラグという場合もある）1 0 が形成される。W プラグ 1 0 は、ポリシリコンプラグ 7（S N プラグ）を介してソース / ドレイン拡散層 5 と電氣的に接続される。なお、ビット線 9 上のシリコン窒化膜（図示せず）及びレジスト（図示せず）をマスクとして用いて、コンタクトホールをビット線間の領域に形成するようにしてもよい。この段階では、メモリセル領域及び周辺回路領域（図示せず）ともに平坦化されている。

## 【 0 0 3 0 】

次に、W プラグ 1 0 の表面を 1 0 0 n m 程度エッチングして窪みを形成する。さらに、窪みにバリアメタル膜 1 1 として T i N 膜を埋め込む。

## 【 0 0 3 1 】

次に、図 3（a）及び図 3（b）に示すように、全面に厚さ 5 0 n m 程度のシリコン窒化膜 1 2 を形成し、さらにプラズマ T E O S 酸化膜 1 3 を 4 0 0 n m 程度堆積する。続いて、レジストパターン（図示せず）をマスクとして、R I E 法により、T E O S 酸化膜 1 3 及びシリコン窒化膜 1 2 をエッチングし、バリアメタル膜 1 1 の表面を露出させる。これにより、S N 電極用の溝 1 3 a が形成される。溝 1 3 a の幅は、隣接した溝 1 3 a 間の距離（スペース幅）よりも狭くなるようにする。レジストをマスクとして T E O S 酸化膜 1 3 をエッチングする場合、溝幅はエッチング時のレジスト起因の堆積物の影響などによって狭くなる。本実施形態では、このような現象を利用して、デザインルールで決まる最小幅よりも狭い幅を有する溝を形成している。なお、溝 1 3 a の側面はテーパ状となる

傾向にあるが、エッチング条件を調整してほぼ垂直な側面を形成するようにしてもよい。

#### 【0032】

次に、図4(a)及び図4(b)に示すように、レジストを除去した後、溝13aを含む全面に、CVD法により、SN電極用のRu膜を厚さ100nm程度堆積する。その後、CMP法やエッチバック法を用いて平坦化処理を行う。これにより、溝13a内にのみRu膜が埋め込まれ、デザインルールで決まる最小幅よりも狭い幅を有するSN電極14が形成される。なお、ここではSN電極材料としてRu膜を用いたが、RuO<sub>2</sub>膜、Pt膜、Re膜、Os膜、Pd膜、Rh膜、Au膜、Ir膜、IrO<sub>2</sub>膜、ペロブスカイト構造を有する金属酸化物膜（例えば、SRO(SrRuO<sub>3</sub>)膜)などを用いてもよい。また、金属膜のグレインを他の金属膜（例えばRhやIr）でスタッフィングしたような膜を用いてもよい。

#### 【0033】

次に、周辺回路領域等をレジスト（図示せず）で覆う。続いて、このレジストをマスクとして、NH<sub>4</sub>F等のウェットエッチング溶液或いはRIEとウェットエッチングの組み合わせを用いて、TEOS酸化膜13をエッチングする。このとき、TEOS酸化膜13下のシリコン窒化膜12をエッチングのストッパーとして用いる。このようにすると、メモリセル領域のSN電極表面の高さとメモリセル領域以外のTEOS酸化膜表面の高さがそろう。その結果、SN電極の有無に起因したメモリセル領域とメモリセル領域以外の領域との間の段差を、ほぼなくすることができる。なお、ウエハ全面のTEOS酸化膜13を除去してもよい。この場合、メモリセル領域と周辺回路領域との間に段差が生じるが、後の工程で酸化膜を堆積し、CMP法などによって平坦化をすればよい。

#### 【0034】

上記のようにして得られたSN電極14の側面形状は、TEOS酸化膜13に形成された溝13aの側面形状に対応したものとなる。W膜等の金属膜をエッチングしてSN電極14を形成した場合には、エッチングの制御が極めて困難であり、平滑な側面を得ることが難しい。本実施形態では、エッチングが容易な酸化

膜 13 に溝 13a を形成し、この溝 13a 内に W 膜等の金属膜を埋め込んで SN 電極 14 を形成する。したがって、平滑な SN 電極 14 の側面を得ることができる。これにより、SN 電極側面の荒れに起因したキャパシタ絶縁膜のリーク電流の増加を抑えることができる。

## 【0035】

次に、図 1 (a) 及び図 1 (b) に示すように、キャパシタの誘電体膜 15 として  $Ta_2O_5$  膜を、CVD 法によって厚さ 12 nm 程度、全面に堆積する。続いて、キャパシタのプレート (PL) 電極用の Ru 膜 16 を、CVD 法によって厚さ 40 nm 程度、全面に堆積する。さらに、全面にキャップ膜 (図示せず) として例えば TiN 膜を、厚さ 50 nm 程度、スパッタリング法等で形成する。その後、Ru 膜及びキャップ膜を、通常のリソグラフィ法と RIE 法を用いてパターンニングする。これにより、SN 電極 14、誘電体膜 15 及びプレート電極 16 によって形成されたキャパシタが得られる。

## 【0036】

なお、上述した例では、プレート電極 16 として Ru 膜を用いたが、Pt 膜、Re 膜、Ir 膜、Os 膜、Pd 膜、Rh 膜、Au 膜等の貴金属膜または貴金属酸化物膜、SRO 等のペロブスカイト型金属酸化物膜、TiON 膜、TiN 膜、TaN 膜等を用いることも可能である。また、キャパシタの誘電体膜 15 には、金属酸化物膜を用いることが好ましい。具体的には、 $(Ba, Sr)TiO_3$  膜 (BST 膜)、 $SrTiO_3$  膜、 $Ta_2O_5$  膜、 $Al_2O_3$  膜など、シリコン酸化膜に比べて誘電率の高い高誘電体膜を用いることが可能である。また、これらの高誘電体膜の積層膜を用いてもよい。

## 【0037】

その後、図示しないが、層間絶縁膜を堆積した後、コンタクトホールを形成し、さらに金属配線を形成する。必要であれば、複数の層において、コンタクトホール及び金属配線を形成してもよい。さらに、パッシベーション膜の形成及びパッドコンタクトの形成を行って、DRAM が完成する。

## 【0038】

図 5 は、本実施形態におけるメモリセル領域のレイアウト例を模式的に示した

図である。図に示すように、一つのメモリセル22に対応して一つのSN電極14が配置されており、ビット線9の延伸方向に対してSN電極14が45度の角度で傾いている。そして、SN電極14と一方のソース/ドレイン拡散層5とはSNコンタクト21を介して接続され、ビット線9と他方のソース/ドレイン拡散層5とはBLコンタクト23を介して接続されている。

## 【0039】

以上のように、本実施形態によれば、SN電極間の間隔（スペース幅）がSN電極の幅よりも広い。また、SN電極がビット線の延伸方向に対して傾いている。したがって、メモリセル面積が小さくなっても、キャパシタンスの減少を抑え、且つSN電極間のスペースに誘電体膜及びプレート電極を確実に形成することができ、キャパシタの高信頼性や高性能を確保することが可能となる。

## 【0040】

## （第2の実施形態）

図6（a）及び図6（b）は、本発明の第2の実施形態に係る半導体装置（スタック型DRAM）における、メモリセル付近の構成を模式的に示した図である。図6（a）は平面図であり、図6（b）は図6（a）のB-Bに沿った断面図である。基本的な構成は、第1の実施形態と同様であり、第1の実施形態の構成要素と対応する構成要素には同一の参照番号を付し、それらの詳細な説明は省略する。

## 【0041】

本実施形態では、一つのメモリセルのサイズが $4F \times 2F$ である $8F^2$ 型のメモリセル構造を用いている。Fはフィーチャーサイズである。そして、本実施形態においても、第1の実施形態と同様、図6（a）に示すように、隣接したSN電極14間の距離（スペース幅S）が、SN電極14の幅Wよりも広がっている。具体的には、SN電極14の幅Wが、その半導体デバイスに適用されるデザインルール（DRAMにおけるハーフピッチ及びDRAMにおけるラインアンドスペースのデザインルールに対応）の最小値よりも狭くなっている。また、スペース幅Sが上記デザインルールの最小値よりも広がっている。

## 【0042】



したがって、SN電極14の長手方向がビット線9の延伸方向と平行であっても、SN電極間のスペースに誘電体膜15及びPL電極16を確実に形成することができる。よって、第1の実施形態と同様、メモリセルが縮小化されても、キャパシタの高信頼性や高性能を確保することが可能となる。

#### 【0043】

以下、図6(a)及び図6(b)に示した半導体装置の製造工程について、図7(a)及び図7(b)～図9(a)及び図9(b)を参照して説明する。なお、基本的な製造方法は第1の実施形態と同様であるため、詳細については第1の実施形態を参照することとし、ここでは製造方法の概要のみ説明する。

#### 【0044】

まず、図7(a)及び図7(b)に示すように、第1の実施形態と同様に、シリコン基板1にSTI領域2を形成する。続いて、シリコン基板1上にゲート絶縁膜3及びゲート電極4(ワード線)を形成し、さらにソース/ドレイン拡散層5を形成する。次に、層間絶縁膜6及びポリシリコンプラグ7を形成し、続いて層間絶縁膜8及びビット線9を形成する。さらに、Wプラグ10及びバリアメタル膜11を形成する。

#### 【0045】

次に、図8(a)及び図8(b)に示すように、第1の実施形態と同様に、シリコン窒化膜12及びTEOS酸化膜13を形成し、さらにSN電極用の溝13aを形成する。このとき、第1の実施形態で述べた方法と同様の方法により、溝13aの幅が、隣接した溝13a間の距離よりも広くなるようにする。

#### 【0046】

次に、図9(a)及び図9(b)に示すように、第1の実施形態と同様に、溝13a内にSN電極14を形成し、さらにTEOS酸化膜13をエッチング除去する。

#### 【0047】

次に、図6(a)及び図6(b)に示すように、キャパシタの誘電体膜15及びプレート(PL)電極16を形成することで、SN電極14、誘電体膜15及びプレート電極16によって形成されたキャパシタが得られる。

## 【 0 0 4 8 】

図 1 0 は、本実施形態におけるメモリセル領域のレイアウト例を模式的に示した図である。図に示すように、一つのメモリセル 2 2 に対応して一つの S N 電極 1 4 が配置されている。そして、S N 電極 1 4 と一方のソース／ドレイン拡散層 5 とは S N コンタクト 2 1 を介して接続され、ビット線 9 と他方のソース／ドレイン拡散層 5 とは B L コンタクト 2 3 を介して接続されている。

## 【 0 0 4 9 】

以上のように、本実施形態においても、第 1 の実施形態と同様、S N 電極間の間隔（スペース幅）が S N 電極の幅よりも広い。したがって、例えば  $8 F^2$  型メモリセルのように、ラインアンドスペースのデザインルールによってメモリセルサイズが決まるような場合であっても、キャパシタンスの減少を抑え、且つ S N 電極間のスペースに誘電体膜及びプレート電極を確実に形成することができ、キャパシタの高信頼性や高性能を確保することが可能となる。

## 【 0 0 5 0 】

## （第 3 の実施形態）

次に、本発明の第 3 の実施形態に係る半導体装置（スタック型 D A R M）の製造工程について、図 1 1（a）及び図 1 1（b）～図 1 2（a）及び図 1 2（b）を参照して説明する。基本的な構成は、第 1 の実施形態と同様であり、第 1 の実施形態の構成要素と対応する構成要素には同一の参照番号を付し、それらの詳細な説明は省略する。また、基本的な製造方法も第 1 の実施形態と同様であるため、詳細については第 1 の実施形態を参照することとし、ここでは主として本実施形態特有の製造工程について説明する。

## 【 0 0 5 1 】

まず、第 1 の実施形態の図 2（a）及び図 2（b）の工程と同様に、バリアメタル膜 1 1 の形成工程までを行う。

## 【 0 0 5 2 】

次に、図 1 1（a）及び図 1 1（b）に示すように、全面に厚さ 5 0 n m 程度のシリコン窒化膜 1 2 を形成し、さらにプラズマ T E O S 酸化膜 1 3 を 4 0 0 n m 程度堆積する。続いて、レジストパターン（図示せず）をマスクとして、R I

E法により、TEOS酸化膜13をエッチングする。このとき、シリコン窒化膜12でエッチングをストップさせる。これにより、溝13bが形成される。溝13bの幅は、リソグラフィプロセスで決まる最小サイズに対応させる。例えば、50nm世代では、溝13bの幅は50～80nm程度である。

## 【0053】

次に、図12(a)及び図12(b)に示すように、CVD法により、全面にシリコン酸化膜( $\text{SiO}_2$ 膜)24を堆積する。続いて、RIE等の異方性エッチングによって、シリコン酸化膜24をエッチングする。これにより、TEOS酸化膜13の側面、すなわち溝13bの側面に側壁膜24が形成される。その結果、図12(a)に示すように、溝13bの幅は $W'$ から $W$ へと狭められる。例えば、溝13bの幅を60nm( $W'$ )から30nm( $W$ )に狭める場合には、厚さ15nm程度のシリコン酸化膜を堆積し、異方性エッチングによって、TEOS酸化膜13の側面に側壁膜24を形成すればよい。その後、シリコン窒化膜12をエッチングし、バリアメタル11の表面を露出させる。

## 【0054】

以後の基本的な工程は、第1の実施形態と同様である。すなわち、溝13a内にRu膜等を埋め込んでSN電極14を形成した後、TEOS酸化膜13及び側壁膜24をエッチング除去する。さらに、SN電極14を覆うように、誘電体膜15及びプレート電極を形成することで、図1(b)と同様の構造を有するキャパシタ構造が得られる。

## 【0055】

このように、本実施形態によれば、異方性エッチングによって溝の側面に側壁膜24を形成することで、溝幅を狭めている。したがって、溝内に形成されたSN電極の幅 $W$ をリソグラフィで決まる最小サイズよりも狭くすることができる。その結果、図12(a)に示すように、SN電極間の距離(スペース幅 $S$ )を、SN電極の幅 $W$ よりも広くすることができる。すなわち、SN電極の幅 $W$ をデザインルールで決まる最小サイズよりも狭くできるとともに、スペース幅 $S$ をデザインルールで決まる最小サイズよりも広くすることができる。したがって、第1の実施形態と同様、メモリセルが縮小化されても、SN電極間のスベ

ースに誘電体膜及びP L電極を確実に形成することができ、キャパシタの高信頼性や高性能を確保することが可能となる。また、側壁膜の厚さを適宜調整することで、S N電極の幅及びスペース幅を最適化することが可能である。

## 【0056】

なお、上述した実施形態では、第1の実施形態のようにS N電極がビット線の延伸方向に対して傾いているが、第2の実施形態のようにS N電極の長手方向がビット線の延伸方向と平行である場合についても、本実施形態の方法を適用可能である。

## 【0057】

## (第4の実施形態)

次に、本発明の第4の実施形態に係る半導体装置(スタック型DARM)の製造工程について、図13(a)及び図13(b)～図14(a)及び図14(b)を参照して説明する。基本的な構成は、第1の実施形態と同様であり、第1の実施形態の構成要素と対応する構成要素には同一の参照番号を付し、それらの詳細な説明は省略する。また、基本的な製造方法も第1の実施形態と同様であるため、詳細については第1の実施形態を参照することとし、ここでは主として本実施形態特有の製造工程について説明する。

## 【0058】

まず、第1の実施形態の図2(a)及び図2(b)の工程と同様の方法によって、バリアメタル膜11の形成工程までを行う。

## 【0059】

次に、図13(a)及び図13(b)に示すように、全面に厚さ50nm程度のシリコン窒化膜12を形成し、さらにプラズマTEOS酸化膜13を400nm程度堆積する。続いて、レジストパターン(図示せず)をマスクとして、RIE法により、TEOS酸化膜13及びシリコン窒化膜12をエッチングして、溝13cを形成する。続いて、全面に厚さ20nm程度の金属膜(例えばRu膜)14'をCVD法等によって堆積する。さらに、RIE等の異方性エッチングによって、金属膜をエッチングすることで、TEOS酸化膜13の側面、すなわち溝13cの側面にフェンス状の側壁金属膜14'が形成される。

## 【0060】

次に、図14(a)及び図14(b)に示すように、TEOS酸化膜13及びシリコン窒化膜12をエッチング除去する。その後、レジストパターン25をマスクとして、RIE法によりフェンス状の側壁金属膜14'をエッチングすることで、側壁金属膜14'を分割する。このようにして、SN電極14が形成される。

## 【0061】

以後の基本的な工程は、第1の実施形態と同様である。すなわち、SN電極14を覆うように、誘電体膜15及びプレート電極16を形成することで、キャパシタ構造が得られる。

## 【0062】

このように、本実施形態によれば、異方性エッチングによって溝の側面に側壁金属膜(SN電極)を形成するため、SN電極の幅をリソグラフィで決まる最小サイズよりも狭くすることができる。したがって、SN電極間の距離(スペース幅S)を、SN電極の幅Wよりも広くすることができる。すなわち、SN電極の幅Wをデザインルールで決まる最小サイズよりも狭くできるとともに、スペース幅Sをデザインルールで決まる最小サイズよりも広くすることができる。したがって、第1の実施形態と同様、メモリセルが縮小化されても、SN電極間のスペースに誘電体膜及びPL電極を確実に形成することができ、キャパシタの高信頼性や高性能を確保することが可能となる。また、側壁金属膜の厚さを適宜調整することで、SN電極の幅及びスペース幅を最適化することが可能である。

## 【0063】

なお、図14(a)及び図14(b)の工程の後、例えば600℃、30分程度の水素アニール処理を行うようにしてもよい。これにより、図15に示すように、SN電極14のエッジを丸めることが可能である。

## 【0064】

また、上述した実施形態では、第1の実施形態のようにSN電極がビット線の延伸方向に対して傾いているが、第2の実施形態のようにSN電極の長手方向が

ビット線の延伸方向と平行である場合についても、本実施形態の方法を適用可能である。

【 0 0 6 5 】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【 0 0 6 6 】

【発明の効果】

本発明によれば、メモリセル面積が小さくなっても、キャパシタの高信頼性や高性能を確保することが可能となる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る半導体装置の構成を模式的に示した図である。

【図 2】 本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した図である。

【図 3】 本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した図である。

【図 4】 本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した図である。

【図 5】 本発明の第 1 の実施形態に係り、メモリセルのレイアウト例を模式的に示した図である。

【図 6】 本発明の第 2 の実施形態に係る半導体装置の構成を模式的に示した図である。

【図 7】 本発明の第 2 の実施形態に係る半導体装置の製造工程の一部を模式的に示した図である。

【図 8】 本発明の第 2 の実施形態に係る半導体装置の製造工程の一部を模

式的に示した図である。

【図 9】 本発明の第 2 の実施形態に係る半導体装置の製造工程の一部を模式的に示した図である。

【図 1 0】 本発明の第 2 の実施形態に係り、メモリセルのレイアウト例を模式的に示した図である。

【図 1 1】 本発明の第 3 の実施形態に係る半導体装置の製造工程の一部を模式的に示した図である。

【図 1 2】 本発明の第 3 の実施形態に係る半導体装置の製造工程の一部を模式的に示した図である。

【図 1 3】 本発明の第 4 の実施形態に係る半導体装置の製造工程の一部を模式的に示した図である。

【図 1 4】 本発明の第 4 の実施形態に係る半導体装置の製造工程の一部を模式的に示した図である。

【図 1 5】 本発明の第 4 の実施形態の変更例を模式的に示した図である。

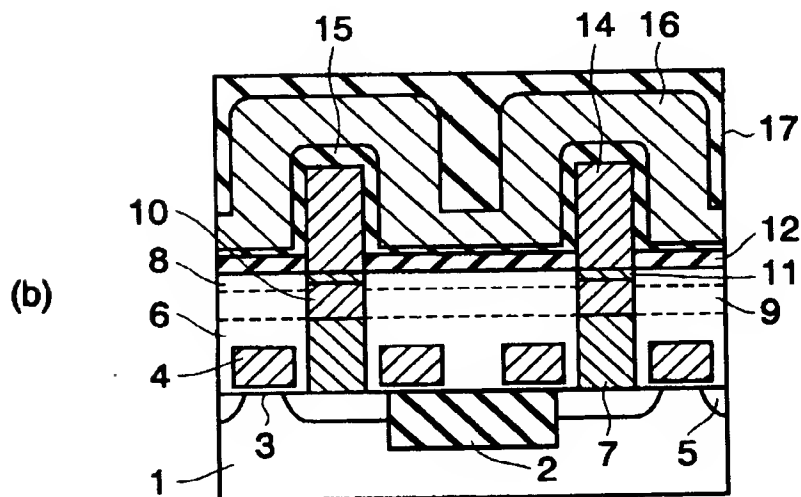
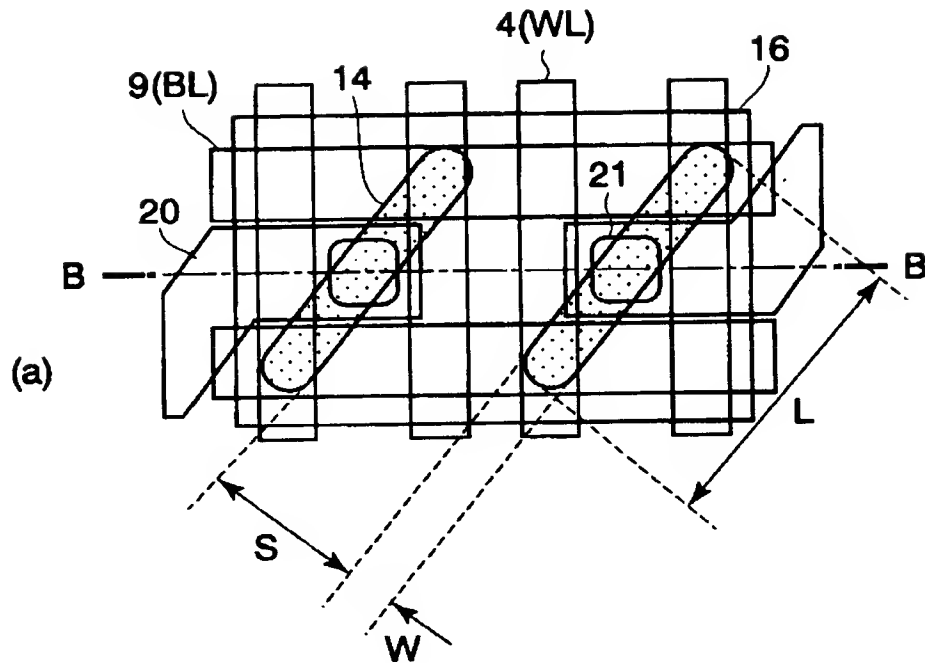
【符号の説明】

- 1 … 半導体基板、            2 … 素子分離領域、
- 3 … ゲート絶縁膜、        4 … ゲート電極、
- 5 … ソース／ドレイン拡散層、    6、8、17 … 層間絶縁膜、
- 7 … ポリシリコンプラグ、    9 … ビット線、
- 10 … タングステンプラグ、    11 … バリア膜、
- 12 … シリコン窒化膜、       13 … TEOS 酸化膜、
- 13 a、13 b、13 c … 溝、      14 … SN 電極、
- 14' … 側壁金属膜        15 … 誘電体膜、        16 … プレート電極、
- 20 … 素子領域、        21 … SN コンタクト、
- 22 … メモリセル、        23 … BL コンタクト、
- 24 … 側壁膜、        25 … レジストパターン

【書類名】

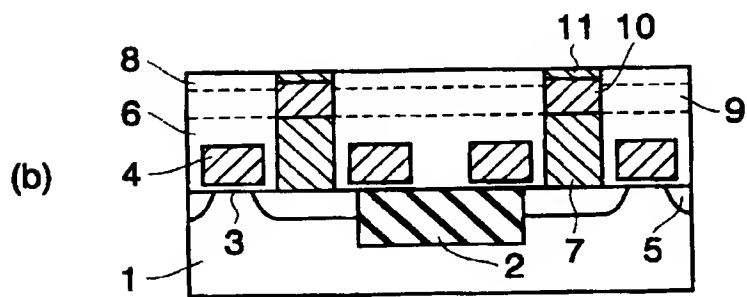
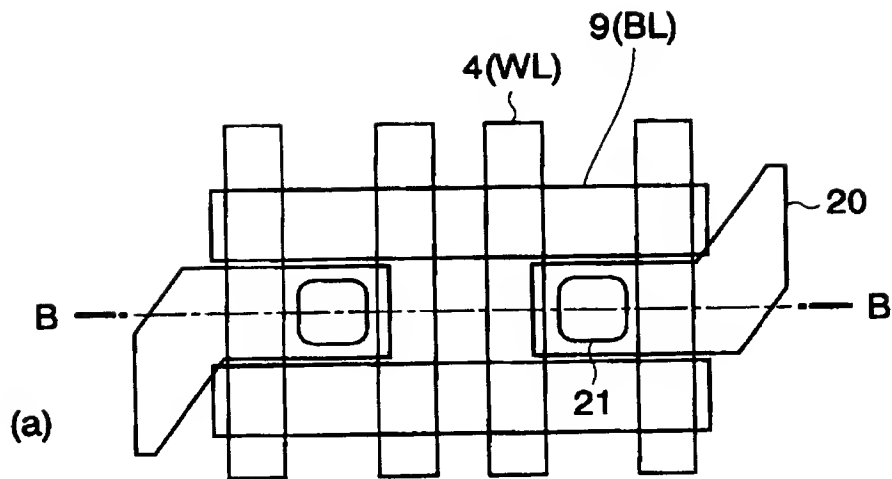
図面

【図 1】

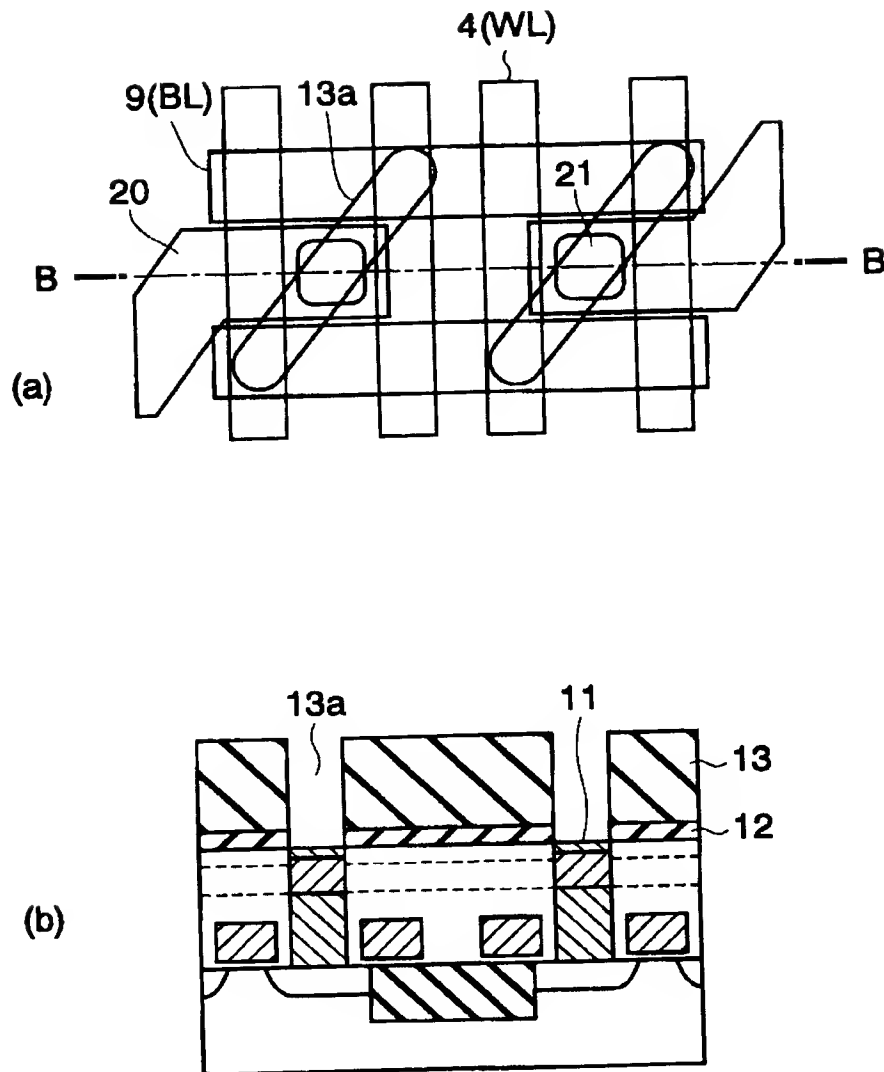




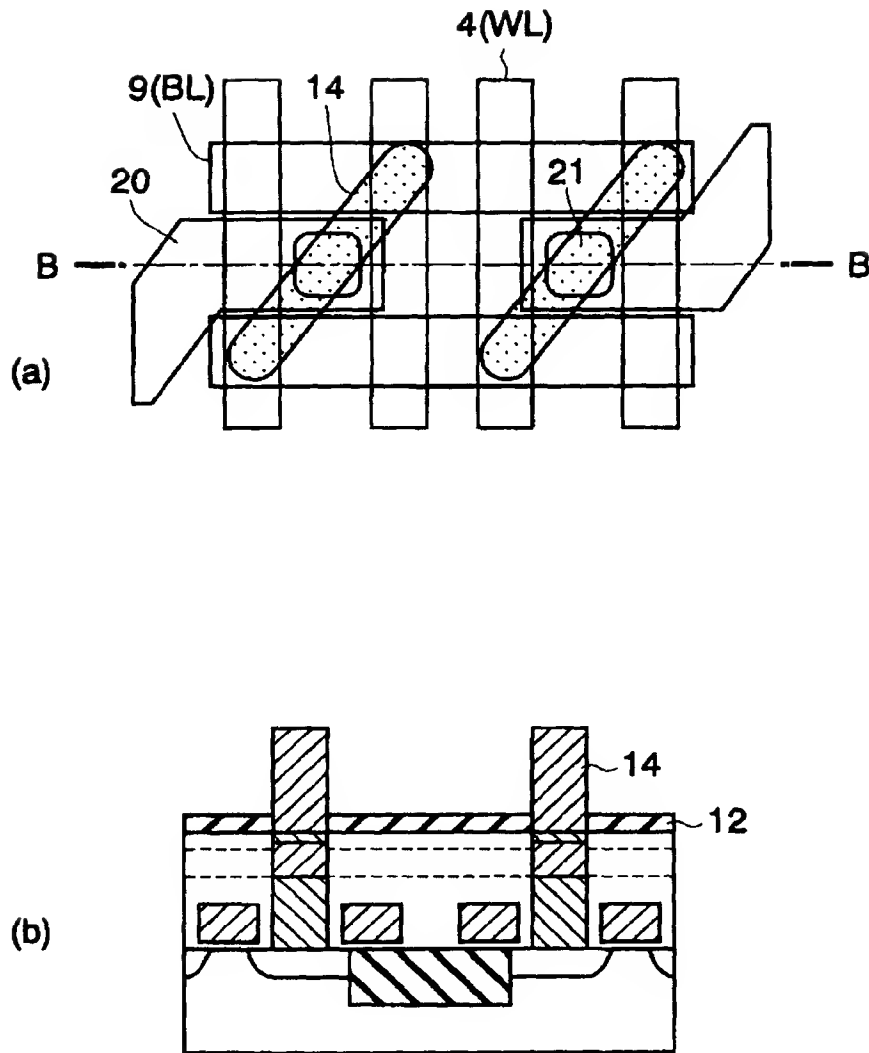
【図 2】



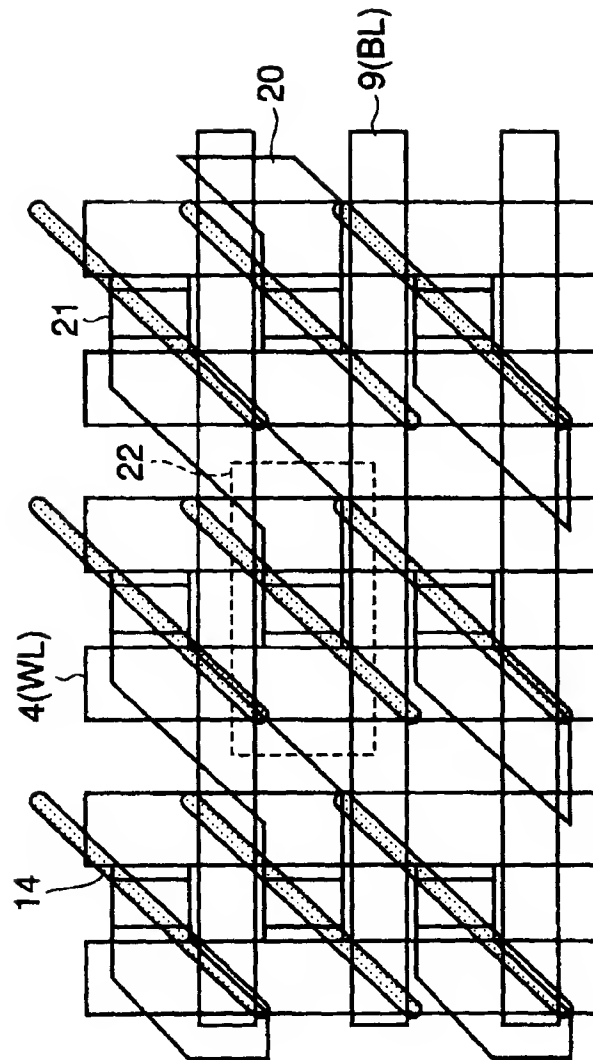
【図 3】



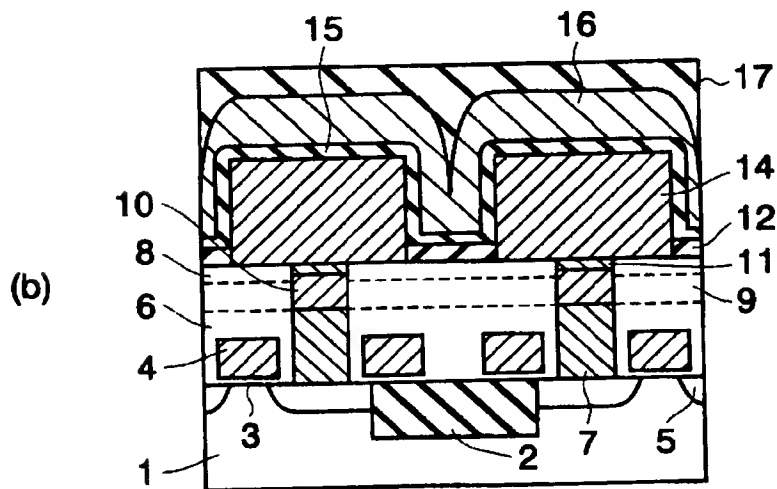
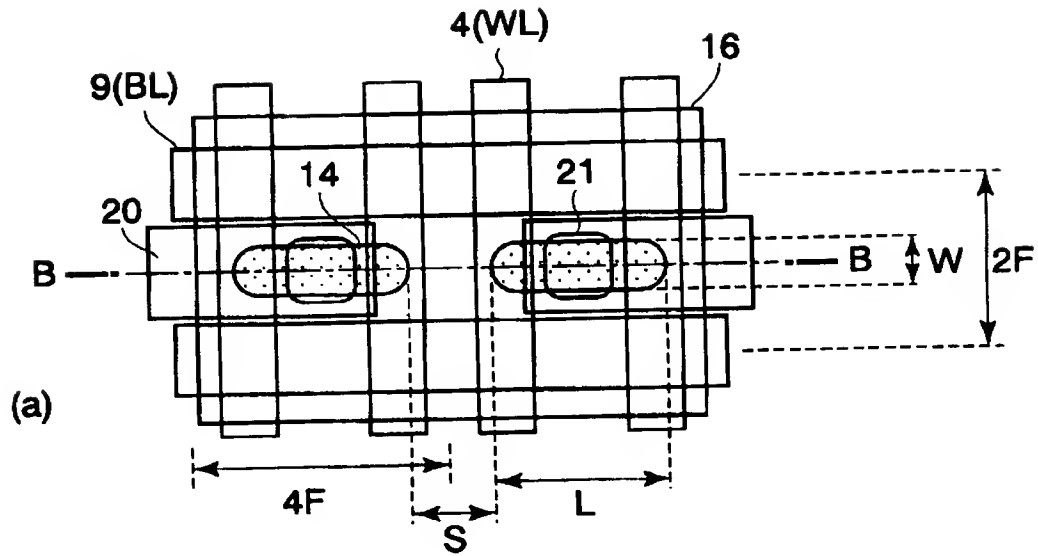
【図 4】



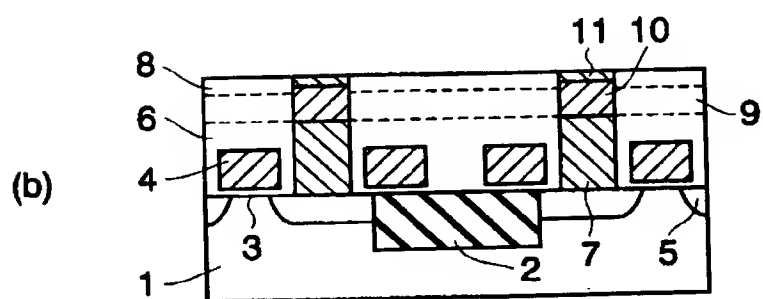
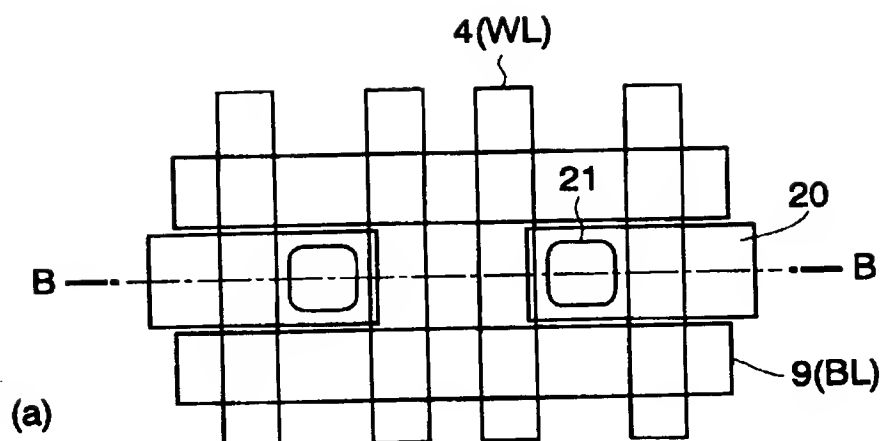
【図 5】



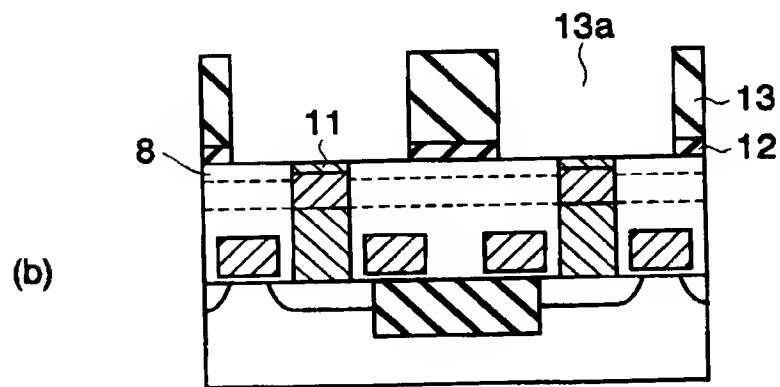
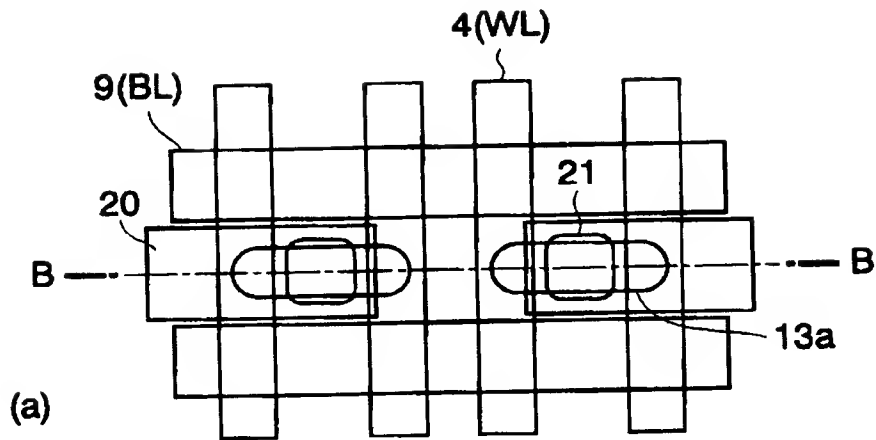
【図 6】



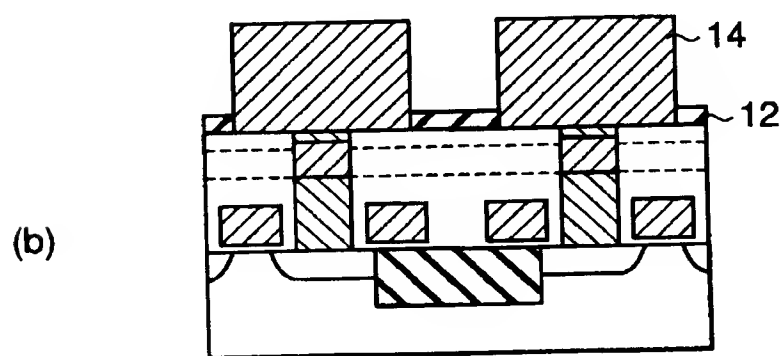
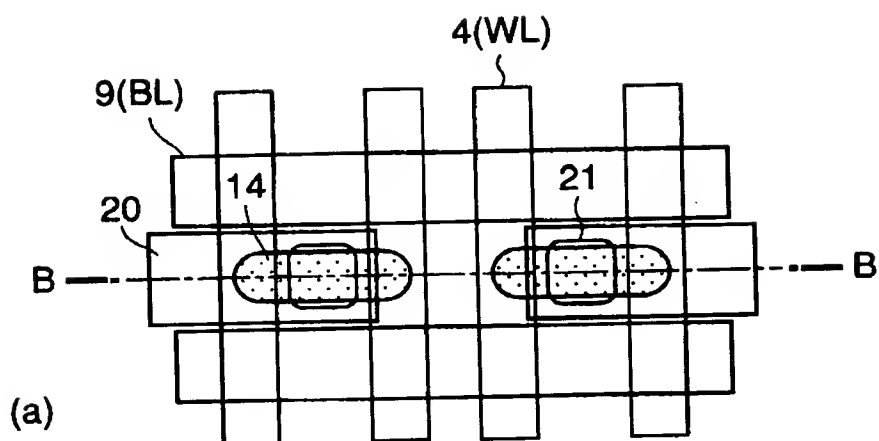
【図 7】



【図 8】

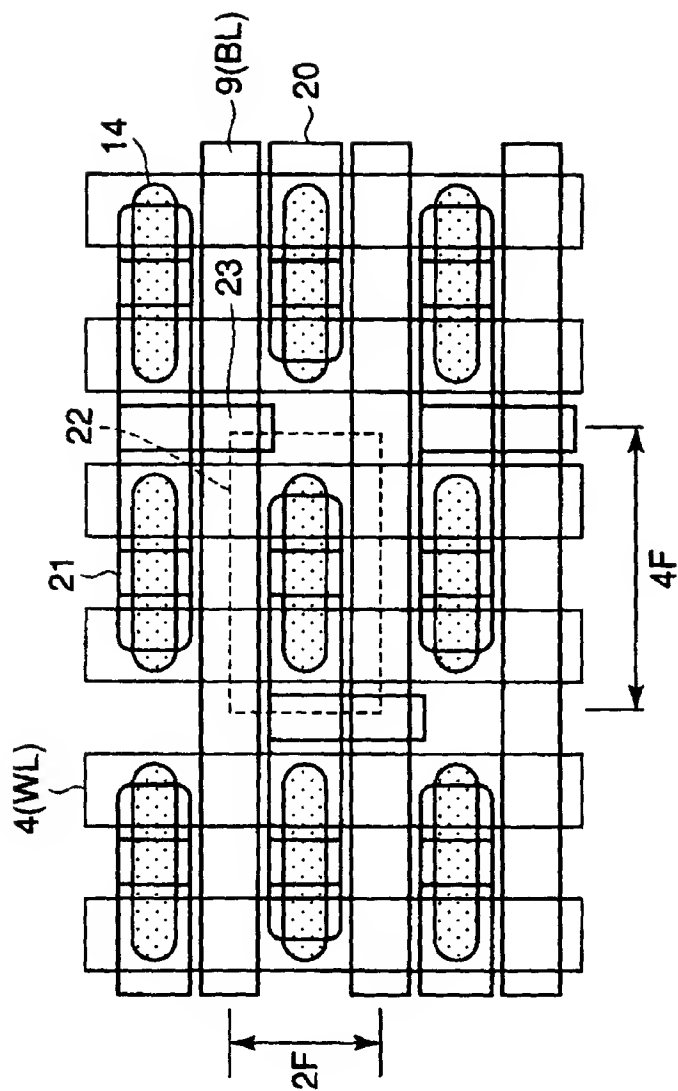


【図 9】

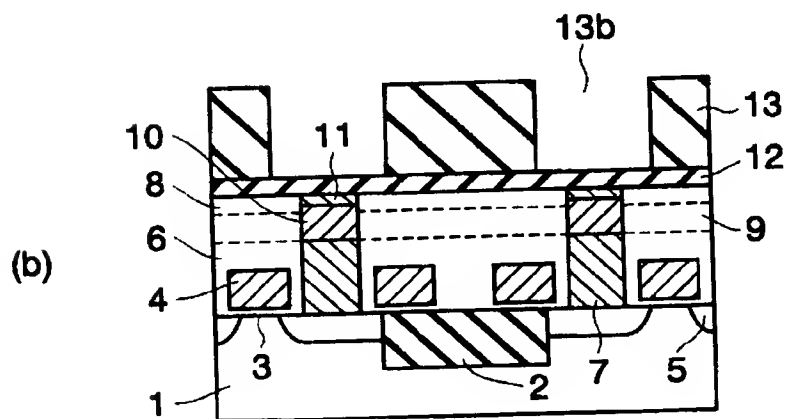
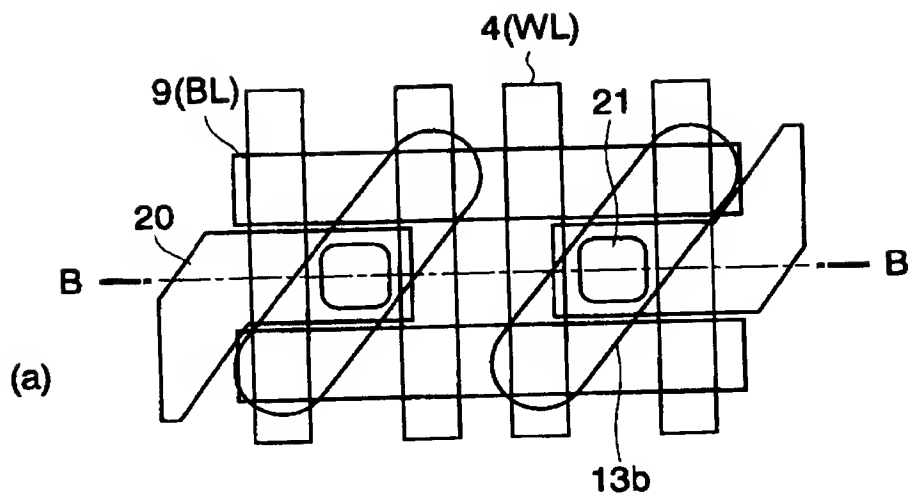




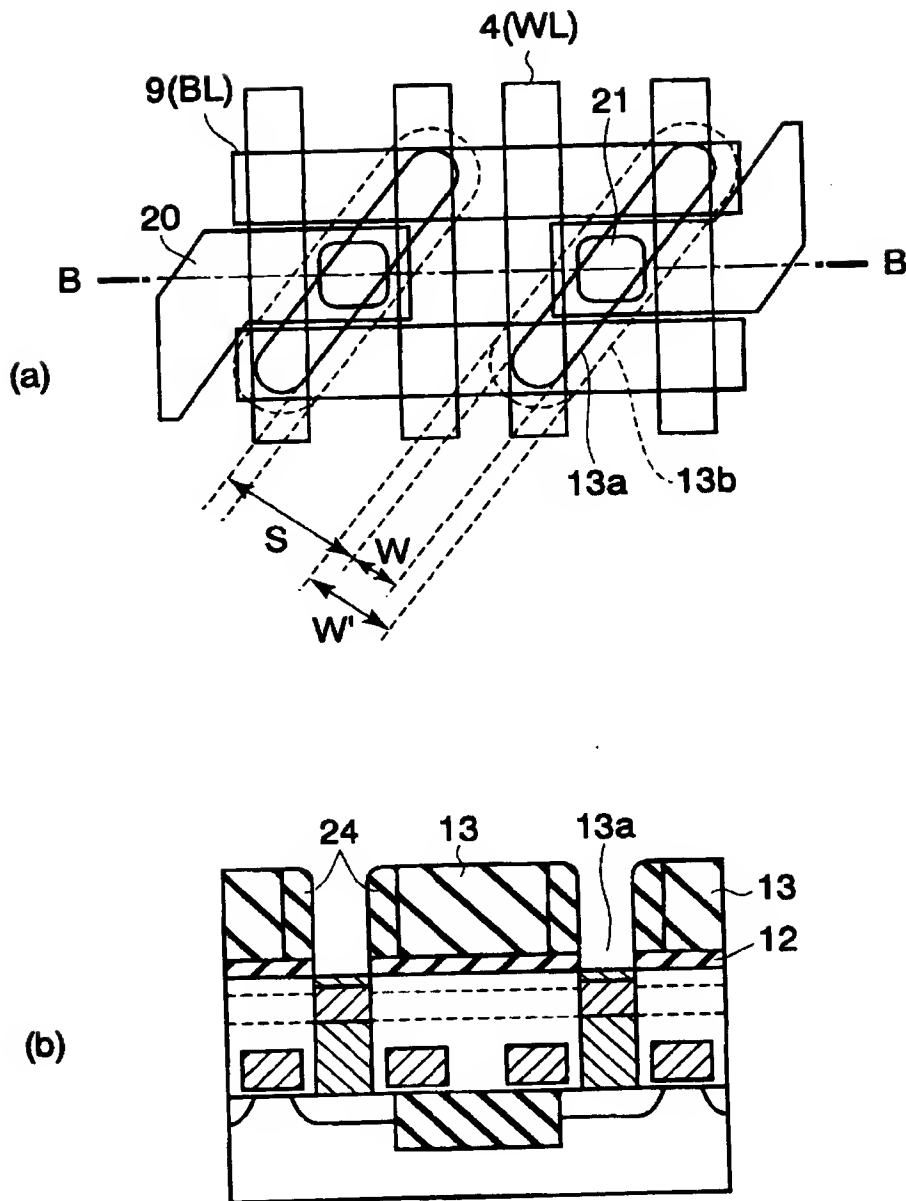
【図10】



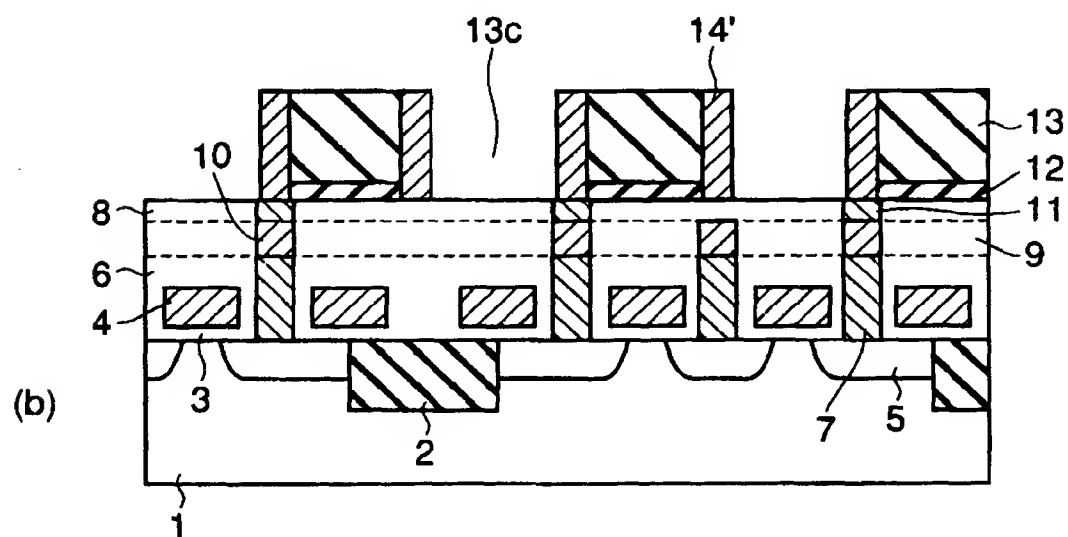
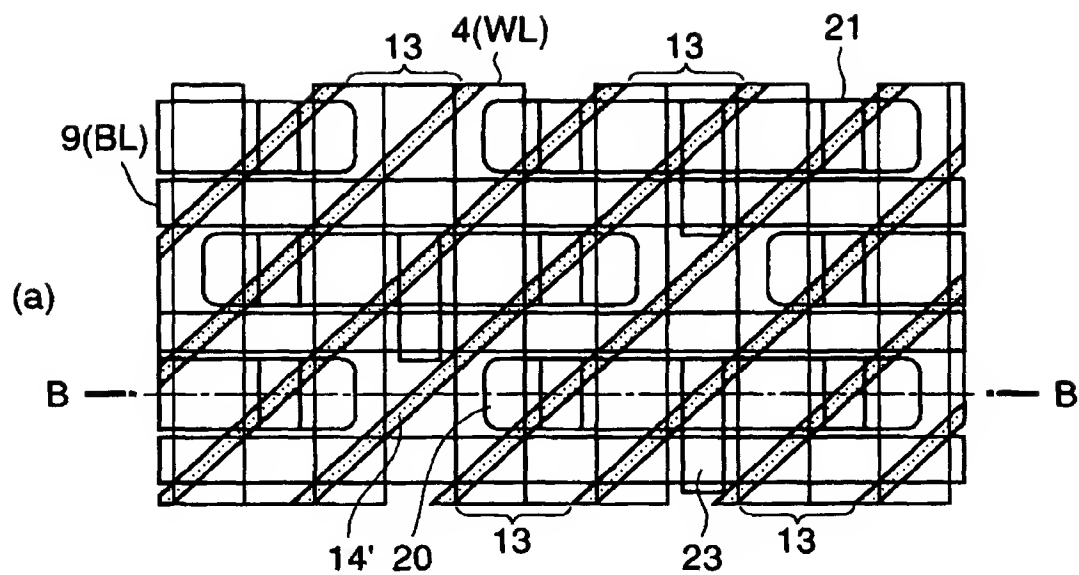
【図 11】



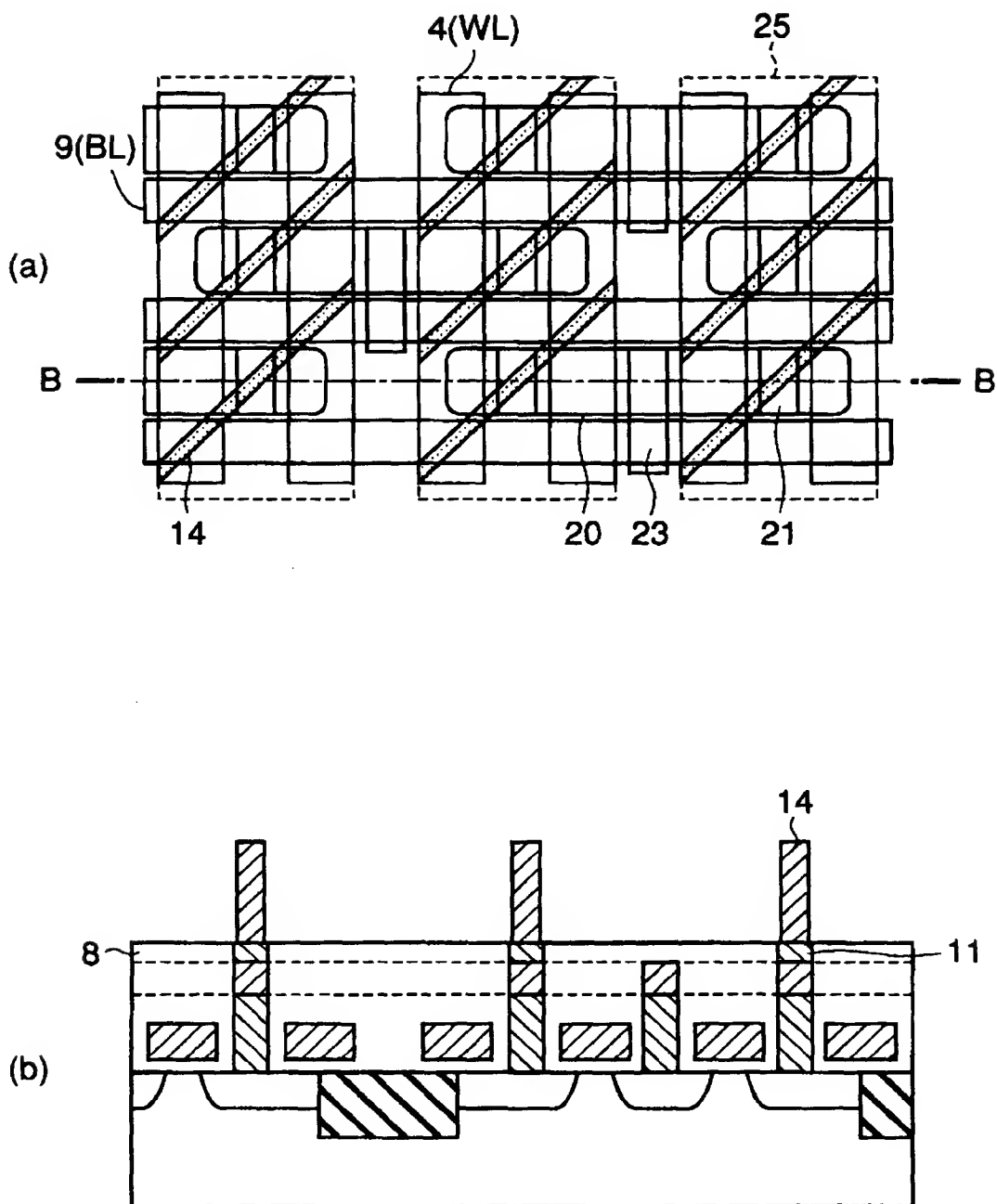
【図 1 2】



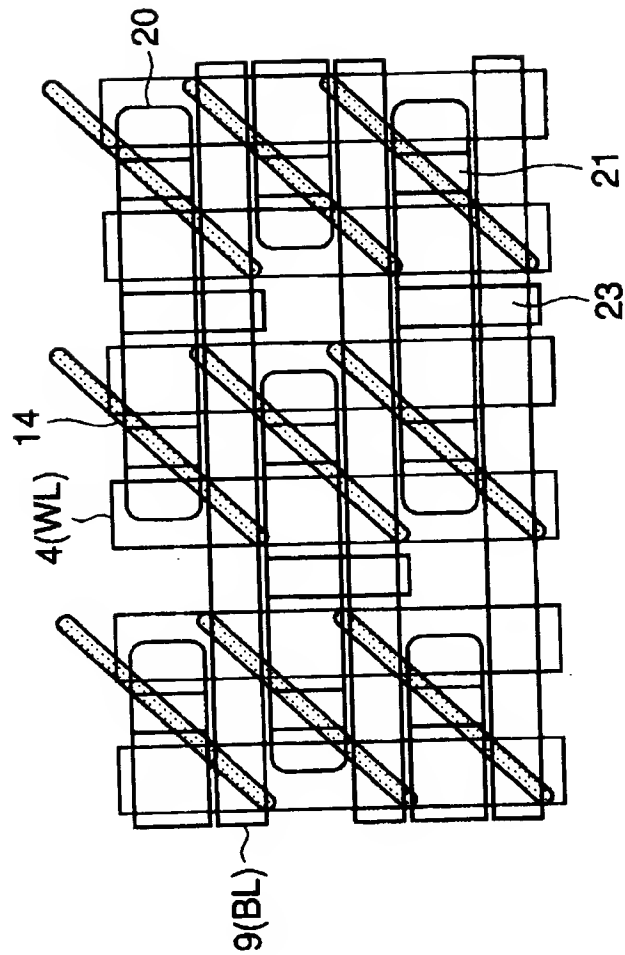
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 メモリセル積が小さくなっても、高信頼性や高性能を確保することが可能な半導体装置及びその製造方法を提供する。

【解決手段】 第 1 の方向に延伸したビット線 9 と、ビット線に電氣的に接続された複数のトランジスタと、第 1 の方向に配列し、複数のトランジスタに電氣的に接続された複数の第 1 の電極 1 4 と、複数の第 1 の電極の上面及び側面を覆う誘電体膜 1 5 と、誘電体膜を覆う第 2 の電極 1 6 とを備えた半導体装置であって、第 1 の電極の幅は、隣接した第 1 の電極間の距離よりも小さく且つ半導体装置のデザインルールの最小値よりも小さい。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝